

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266103
(43)Date of publication of application : 28.09.1999

(51)Int.Cl. H01P 1/203
H01P 1/205
H01P 7/08

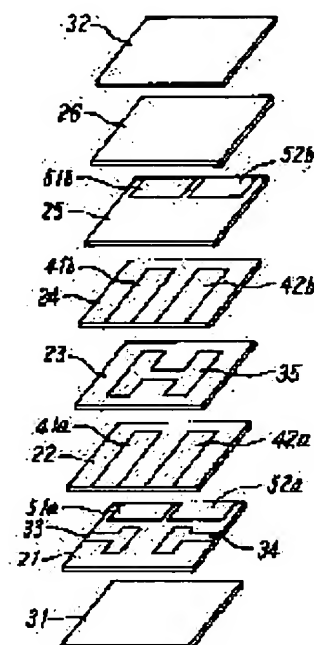
(21)Application number : 10-068408 (71)Applicant : NGK INSULATORS LTD
(22)Date of filing : 18.03.1998 (72)Inventor : HIRAI TAKAMI
MIZUTANI YASUHIKO
MIZUNO KAZUYUKI

(54) LAYER TYPE DIELECTRIC FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To widen a pass low-band width and to widen its adjustment range by allowing a large capacitance to be constituted between a coupled electrode and a resonance element despite of the sizes of various kinds of electrodes being made smaller with respect to a layer type dielectric filter.

SOLUTION: A large capacitance is composed between a coupled electrode and a resonance element by arranging a coupling electrode 35 for coupling the first symmetrical type strip line resonator and the second symmetrical type strip line resonator between resonance elements 41a and 41b for constituting the first symmetry type strip line resonator and between resonance elements 42a and 42b for constituting the second symmetrical type stripe line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266103

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 P 1/203
1/205H 0 1 P 1/203
1/205B
K

7/08

7/08

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-68408

(22) 出願日 平成10年(1998) 3月18日

(71) 出願人 000004064

日本碍子株式会社

愛知県名古屋市瑞穂区須田町 2 番56号

(72) 発明者 平井 隆己

愛知県名古屋市瑞穂区須田町 2 番56号 日

本碍子株式会社内

(72) 発明者 水谷 靖彦

愛知県名古屋市瑞穂区須田町 2 番56号 日

本碍子株式会社内

(72) 発明者 水野 和幸

愛知県名古屋市瑞穂区須田町 2 番56号 日

本碍子株式会社内

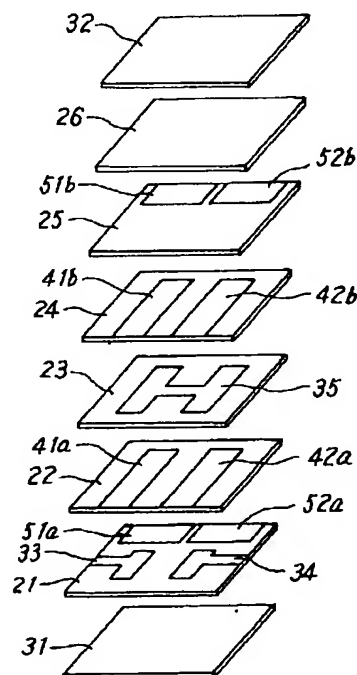
(74) 代理人 弁理士 杉村 暁秀 (外 8 名)

(54) 【発明の名称】 積層型誘電体フィルタ

(57) 【要約】

【課題】 積層型誘電体フィルタにおいて、各種電極の寸法を小さくするにも拘らず結合電極と共振素子との間に大きな静電容量が構成され、通過低域巾を広くし、その調整範囲を広くする。

【解決手段】 第1の対称型ストリップライン共振器と第2の対称型ストリップライン共振器とを結合する結合電極35を、第1の対称型ストリップライン共振器を構成する共振素子41aと41bとの間および第2の対称型ストリップライン共振器を構成する共振素子41aと41bとの間に配置することにより、結合電極と共振素子との間に大きな静電容量が構成される。



【特許請求の範囲】

【請求項 1】少なくとも 2 つの共振素子を、順次の共振素子の間に誘電体層を介在させて対向配置した対称型ストリップライン共振器を少なくとも 2 組配置し、隣接する対称型ストリップライン共振器の間を結合する少なくとも 1 つの結合電極を、誘電体層を介して前記共振素子によって挟むように配置したことを特徴とする積層型誘電体フィルタ。

【請求項 2】各々が 2 つの共振素子を含める 2 組の対称型ストリップライン共振器を設け、これら 2 つの対称型ストリップライン共振器の間を結合する 1 つの結合電極を、各対称型ストリップライン共振器の 2 つの共振素子の間に、誘電体層を介して配置したことを特徴とする請求項 1 に記載の積層型誘電体フィルタ。

【請求項 3】各々が第 1、第 2 および第 3 の共振素子を含める第 1、第 2 および第 3 の対称型ストリップライン共振器を順次に並べて設け、第 1 および第 2 の組の対称型ストリップライン共振器の間を結合する第 1 の結合電極を、これら第 1 および第 2 の対称型ストリップライン共振器の各々の、第 1 および第 2 の共振素子の間に、誘電体層を介して配置し、第 2 および第 3 の組の対称型ストリップライン共振器の間を結合する第 2 の結合電極を、これら第 2 および第 3 の対称型ストリップライン共振器の各々の、第 2 および第 3 の共振素子の間に、誘電体層を介して配置したことを特徴とする請求項 1 に記載の積層型誘電体フィルタ。

【請求項 4】前記結合電極を誘電体層を介して挟む前記一対の共振素子の少なくとも一方の、前記結合電極とは反対側に誘電体層を介して別の結合電極を配置したことを特徴とする請求項 1～3 の何れかに記載の積層型誘電体フィルタ。

【請求項 5】前記対称型ストリップライン共振器の共振素子の少なくとも 1 つを、誘電体層を介して挟む内層アース電極を設けたことを特徴とする請求項 1～4 の何れかに記載の積層型誘電体フィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体中に、所定のパターンを有する入力電極、出力電極、内層アース電極、共振器を構成する共振電極、結合電極などを所定の位置関係で配置して構成した積層型誘電体フィルタに関するものである。

【0002】

【従来の技術】このような積層型誘電体フィルタは既知であり、例えば特開平 6-120703 号公報に開示されている。この従来の積層型誘電体フィルタを図 1 に示す。積層型誘電体フィルタは、表面に導体パターンにより各種の電極を形成した複数の誘電体基板を積層し、積層体の上下の表面および入出力部分を除く側面に導電層を被覆した後、全体を加熱して誘電体基板を焼成して一

体とすることにより製造されるので、製造された積層型誘電体フィルタにおいては、誘電体層の境界は存在しておらず、各種電極が誘電体ブロックの中に所定の位置関係で埋設された構造を有している。しかし、説明の便宜上、本明細書においては、図 1 に示すように、一体の誘電体ブロックを、各種電極が表面に形成されている複数の誘電体層に分割して示すことにする。

【0003】図 1 に示す従来の積層型誘電体フィルタは、第 1～第 4 の誘電体層 1～4 を有し、第 1 および第 4 の誘電体層 1 および 4 の外側表面にそれぞれ第 1 および第 2 のアース電極 5 および 6 が形成され、第 1 の誘電体層 1 の表面に入力電極 7 および出力電極 8 が、それぞれの一端が積層型誘電体フィルタの側面から外部に露出するように形成されている。また、第 2 の誘電体層 2 の表面には、それぞれストリップライン共振器のストリップライン電極を構成する共振素子 9 および 10 が、それらの一端が積層型誘電体フィルタの側面に形成されており、上述したアース電極 5 および 6 とも接続されているアース電極（図示せず）に接続され、他端が開放するように形成されている。

【0004】さらに、第 3 の誘電体層 3 の表面には、これらの共振素子 9 および 10 を電磁誘導結合するための結合電極 11 が、誘電体層 3 を介してこれらの共振素子と重なるような位置に形成されている。また、第 1 および第 3 の誘電体層 1 および 3 には、共振素子 9 および 10 の開放端側の部分と誘電体層を介して重なるような位置に内層アース電極 12～15 が形成されている。これらの内層アース電極 12～15 は、積層型誘電体フィルタの側面においてアース電極と接続されている。

【0005】このような積層型誘電体フィルタにおいては、共振素子 9、10 と結合電極 11 との間で得られる静電容量によって通過帯域巾の調整を行なうことができる。この場合、共振素子 9 と 10 との間の結合を誘導性とする、通過帯域の高周波数側に並列共振点が存在するので、高周波数側に減衰ピークを持つ積層型誘電体フィルタが得られ、共振素子 9 と 10 との間の結合を容量性とする、通過帯域の低周波数側に並列共振点が存在するので、低周波数側に減衰ピークを持つ積層型誘電体フィルタが得られる。前者の誘導結合の場合には、共振素子と結合電極との間の静電容量を増加させると、通過帯域巾が狭くなり、後者の容量結合の場合には、共振素子 9、10 と結合電極 11 との間の静電容量を増加させると、通過帯域巾が広がる。したがって、積層型誘電体フィルタにおいては、共振素子 9、10 と結合電極 11 との間の静電容量を大きくすることによって通過帯域巾の調整を行なうことができる。

【0006】

【発明が解決しようとする課題】携帯電話等の無線通信システムの小型化に伴って、図 1 に示したような従来の積層型誘電体フィルタについても、さらなる小型化が要

求されるようになって来ている。積層型誘電体フィルタを小型化するためには、誘電体層中に埋設する各種の電極の寸法を小さくしなければならぬ。しかしながら、このように電極の寸法を小さくすると、共振素子 9、10 と結合電極 11 との間に形成される静電容量が減少するため、共振器間の結合が容量性の場合にはフィルタの通過帯域巾が狭くなり過ぎ、また誘導性の場合には通過帯域が広くなり過ぎ、必要とする通過帯域巾を有する積層型誘電体フィルタを得ることができなくなってしまう。したがって、従来の積層型誘電体フィルタの小型化には限界があり、最近の要求に十分に應えることができない問題がある。

【0007】また、共振素子 9、10 と結合電極 11 との間の静電容量を増大させる方法として、これらの間に介在する誘電体層 3 の膜厚を薄くする方法が考えられるが、誘電体層の膜厚を薄くすると、絶縁破壊や物理的な強度不足、製造工程での取扱いの困難さによるコストアップなどの問題があり、誘電体層の膜厚を薄くして共振素子 9、10 と結合電極 11 との間の静電容量を増大させるのも限界がある。

【0008】したがって、本発明の目的は、電極の寸法を小さくしても共振素子と結合電極との間の静電容量を増大させることができ、これによって通過帯域巾広くすることができ、したがって広い範囲に亘って通過帯域を調整することができ、その結果として一層の小型、軽量化が可能な積層型誘電体フィルタを提供しようとするものである。

【0009】

【課題を解決するための手段】本発明は、少なくとも 2 つの共振素子を、順次の共振素子の間に誘電体層を介在させて対向配置した対称型ストリップライン共振器を少なくとも 2 組配置し、隣接する対称型ストリップライン共振器の間を結合する少なくとも 1 つの結合電極を、誘電体層を介して共振素子によって挟むように配置したことを特徴とするものである。

【0010】このような本発明による積層型誘電体フィルタにおいては、各結合電極は、それぞれ誘電体層を介して対称型ストリップライン共振器の 2 つの共振素子と対向するように構成されているので、共振器に並列に結合容量を付加したようになり、結合電極と共振素子との間の静電容量を大きくすることができる。さらに、ストリップライン電極を積層状に配置した対称型ストリップライン共振器とすることで、各ストリップライン電極の特性インピーダンスを増大させることができ、より大きい静電容量を得ることができる。したがって、共振器間が容量性の場合には通過帯域巾を広くすることができ、誘導性の場合には通過帯域巾を狭くすることができる。また、結合電極と共振素子との間の静電容量を減少させることは容易に実施できるので、通過帯域の周波数および通過帯域巾の調整範囲を広くすることができる。ま

た、通過帯域巾を過度に狭くしたり、広くしたりすることなく各電極の寸法を小さくすることができるので、小型、軽量化に十分応えることができる。

【0011】本発明による積層型誘電体フィルタの好適な実施例においては、各々が 2 つの共振素子を含む 2 組の対称型ストリップライン共振器を設け、これら 2 つの対称型ストリップライン共振器の間を結合する 1 つの結合電極を、各対称型ストリップライン共振器の 2 つの共振素子の間に、誘電体層を介して配置する。本発明による積層型誘電体フィルタの他の好適な実施例においては、各々が第 1、第 2 および第 3 の共振素子を含む第 1、第 2 および第 3 の対称型ストリップライン共振器を順次に並べて設け、第 1 および第 2 の組の対称型ストリップライン共振器の間を結合する第 1 の結合電極を、これら第 1 および第 2 の対称型ストリップライン共振器の各々の、第 1 および第 2 の共振素子の間に、誘電体層を介して配置し、第 2 および第 3 の組の対称型ストリップライン共振器の間を結合する第 2 の結合電極を、これら第 2 および第 3 の対称型ストリップライン共振器の各々の、第 2 および第 3 の共振素子の間に、誘電体層を介して配置する。

【0012】また、本発明による積層型誘電体フィルタにおいては、前記結合電極を誘電体層を介して挟む前記一対の共振素子の少なくとも一方の、前記結合電極とは反対側に誘電体層を介して別の結合電極を配置することもできる。このように構成することにより結合電極と並列の静電容量をさらに大きくすることができ、通過帯域巾の調整範囲をさらに広くすることができる。

【0013】さらに、本発明による積層型誘電体フィルタにおいては、前記対称型ストリップライン共振器の共振素子の少なくとも 1 つを、誘電体層を介して挟む内層アース電極を設けることができる。このように構成すると、通過帯域巾を狭くすることなく通過帯域の周波数を低くでき、通過帯域巾の調整範囲を広くすることができるとともに通過帯域周波数の調整範囲を広くすることができ、種々の要求に適切に対応した小型の積層型誘電体フィルタを提供することができる。

【0014】

【発明の実施の形態】 図 2 は本発明による積層型誘電体フィルタの第 1 の実施例を示すものであり、説明の便宜上、図 1 と同様に、各種電極を仮想的な誘電体層の表面に形成したものとして示した。本例においては、第 1 ～第 6 の誘電体層 21 ～26 を順次に積層した構造を持ち、第 1 および第 6 の誘電体層 21 および 26 の外側表面にはそれぞれアース電極 31 および 32 を配置し、第 1 の誘電体層 21 の表面には入力電極 33 および出力電極 34 を配置し、第 2 および第 4 の誘電体層 22 および 24 の表面には、共振素子 41a、42a および 41b、42b をそれぞれ配置する。第 1 の誘電体層 21 には、第 2 の誘電体層 22 に設けた共振素子 41a および

5

4 2 a とそれぞれ対向する内層アース電極 5 1 a および 5 2 a を設け、第 5 の誘電体層 2 5 には、第 4 の誘電体層 2 4 に設けた共振素子 4 1 b および 4 2 b とそれぞれ対向する内層アース電極 5 1 b および 5 2 b を設ける。

【0015】共振素子 4 1 a および 4 1 b は第 3 の誘電体層 2 3 を挟んで対向し、第 1 の対称型のストリップライン共振器を構成し、共振素子 4 2 a および 4 2 b は誘電体層 2 3 を挟んで対向し、第 2 の対称型のストリップライン共振器を構成している。すなわち、本例においては、各々が 2 つの共振素子を有する 2 組の対称型ストリップライン共振器を配置したものである。このように、誘電体層を挟んで上下に対向させた共振素子によって対称型ストリップライン共振器を構成すること自体は既知であり、例えば特開平 4-43703 号公報に記載されている。しかしながら、この公報には、このような対称型ストリップライン共振器を用いて積層型誘電体フィルタをどのように構成するかについては開示されていない。

【0016】本発明においては、上述した第 1 の対称型ストリップライン共振器と第 2 の対称型ストリップライン共振器とを結合するための結合電極 3 5 を、第 1 の対称型ストリップライン共振器を構成する 2 つの共振素子 4 1 a と 4 1 b との間に挟まれるとともに第 2 の対称型ストリップライン共振器を構成する共振素子 4 2 a と 4 2 b との間に挟まれるように構成したものである。すなわち、第 1 の対称型ストリップライン共振器と第 2 の対称型ストリップライン共振器とを結合する結合電極 3 5 を第 3 の誘電体層 2 3 の上に配置し、第 2 の誘電体層 2 2 に設けた共振素子 4 1 a および 4 2 a と、第 4 の誘電体層 2 4 に設けた共振素子 4 1 b および 4 2 b との間で挟むように構成したものである。

【0017】上述したように、第 1 および第 2 の対称型ストリップライン共振器を結合する結合電極 3 5 を、第 1 の対称型ストリップライン共振器を構成する共振素子 4 1 a と 4 1 b との間および第 2 の対称型ストリップライン共振器を構成する共振素子 4 2 a と 4 2 b との間に介在させることによって、これらの間の静電容量を大きくすることができ、したがってフィルタの通過帯域巾の調整範囲を大きくすることができる。

【0018】図 3 は本発明による積層型誘電体フィルタの第 2 の実施例を示すものである。本例においては、おのおのが 3 つの共振素子を誘電体層を介して積層して構成された 3 組の対称型ストリップライン共振器を具え、これらの対称型ストリップライン共振器を結合する 2 つの結合電極を、共振素子で挟むようにしたものである。

【0019】すなわち、第 1 ～第 8 の誘電体層 2 1 ～2 8 を順次に積層した構造を持ち、第 1 および第 8 の誘電体層 2 1 および 2 8 の外側表面にはそれぞれアース電極 3 1 および 3 2 を配置し、第 3 の誘電体層 2 3 の表面には入力電極 3 3 を配置し、第 5 の誘電体層 2 5 の表面に

6

出力電極 3 4 を配置する。さらに、第 3 の誘電体層 2 3 の表面に結合電極 3 5 を配置し、第 3 の誘電体層 2 3 の表面に結合電極 3 6 を配置する。第 2、第 4 および第 6 の誘電体層 2 2、2 4 および 2 6 の表面には、共振素子 4 1 a、4 2 a、4 3 a；4 1 b、4 2 b、4 3 b および 4 1 c、4 2 c、4 3 c をそれぞれ配置する。第 1 および第 7 の誘電体層 2 3 および 2 7 の表面には、内層アース電極 5 1 a、5 2 a、5 3 a；5 1 b、5 2 b、5 3 b および 5 1 c、5 2 c、5 3 c を配置する。共振素子 4 1 a、4 1 b および 4 1 c は、それぞれ誘電体層 2 3 および 2 5 を挟んで対向し、第 1 の対称型のストリップライン共振器を構成し、共振素子 4 2 a、4 2 b および 4 2 c はそれぞれ誘電体層 2 3 および 2 5 を挟んで対向し、第 2 の対称型のストリップライン共振器を構成し、共振素子 4 3 a、4 3 b および 4 3 c はそれぞれ誘電体層 2 3 および 2 5 を挟んで対向し、第 3 の対称型のストリップライン共振器を構成している。すなわち、本例においては、各々が 3 つの共振素子を有する 3 組の対称型ストリップライン共振器を配置したものである。

【0020】本例では、第 1 の対称型ストリップライン共振器と第 2 の対称型ストリップライン共振器とを結合する第 1 の結合電極 3 5 を第 5 の誘電体層 2 5 の表面に配置し、第 1 の対称型ストリップライン共振器を構成する共振素子 4 1 b と 4 1 c との間および第 2 の対称型ストリップライン共振器を構成する共振素子 4 2 b と 4 2 c との間に挟まれるようにする。また、同様に、第 2 の対称型ストリップライン共振器と第 3 の対称型ストリップライン共振器とを結合する第 2 の結合電極 3 6 を第 3 の誘電体層 2 3 の表面に配置し、第 2 の対称型ストリップライン共振器を構成する共振素子 4 2 a と 4 2 b との間および第 3 の対称型ストリップライン共振器を構成する共振素子 4 3 a と 4 3 b との間に挟まれるようにする。このようにして、積層型誘電体フィルタを構成する 3 つの対称型ストリップライン共振器を結合する第 1 および第 2 の結合電極 3 5 および 3 6 を、それぞれ共振素子で挟むようにしているので、共振素子と結合電極との間に大きな静電容量を構成することができる。したがって、フィルタの通過帯域巾の調整範囲を広げることができる。

【0021】図 4 は本発明による積層型誘電体フィルタの第 3 の実施例を示すものであり、図 2 に示した第 1 の実施例から、入力電極 3 3 および出力電極 3 4 を除去し、第 1 の対称型ストリップライン共振器を構成する共振素子 4 1 a、4 1 b の各々を入力端子と直接接続するとともに、第 2 の対称型ストリップライン共振器を構成する共振素子 4 2 a、4 2 b の各々を、出力端子に直接接続した L タップ方式に形成したものである。本例においても、第 1 の対称型ストリップライン共振器と第 2 の対称型ストリップライン共振器とを結合する結合電極 3 5 は、共振素子 4 1 a、4 2 a と共振素子 4 1 b、4 2 b との間に挟むように構成したので、これらの間に大き

な静電容量を構成することができる。

【0022】図5は本発明による積層型誘電体フィルタの減衰量の周波数特性と、従来の積層型誘電体フィルタの減衰量の周波数特性とを対比して示すものであり、縦軸の減衰量は、任意の単位で示したものである。図5において、実線Aは、図2に示した構造を有する本発明による積層型誘電体フィルタの周波数特性を示し、破線Bは、図1に示した構造を有する従来の積層型誘電体フィルタの周波数特性を示すものである。これらの曲線から分かるように、これらの積層型誘電体フィルタは通過帯域の低周波数側に減衰ピークを有する容量型のものである。曲線Aで示す本発明による積層型誘電体フィルタの通過帯域巾は、曲線Bで示す従来の積層型誘電体フィルタの通過帯域巾よりも広がっており、このことから本発明による積層型誘電体フィルタでは結合電極と共振素子との間の静電容量が大きくなっていることがわかる。本発明による積層型誘電体フィルタによれば、このように通過帯域巾を広くすることができるので、その調整を広い範囲に亘って行なうことができる。

【0023】図6は本発明による積層型誘電体フィルタの第4の実施例を示す斜視図である。本例においては、図2に示した第1の実施例において、ストリップライン電極41b、42bの上方にある第5の誘電体層25の表面に第2の結合電極36を配置したものである。このような構成によれば、第2の結合電極36と、ストリップライン電極41b、42bとの間にも静電容量が形成されるので、より大きな静電容量が得られ、通過帯域の周波数を一層低くすることができ、したがって通過帯域の調整範囲を一層広くすることができ、また一層の小型化も可能となる。

【0024】図7は本発明による積層型誘電体フィルタの第5の実施例を示す斜視図である。本例においては、図2に示した第1の実施例において、結合電極35を設けた第3の誘電体層23の表面に、それぞれストリップライン電極41bおよび42bと重なるように内層アース電極51cおよび52cを配置したものである。このような構成によれば、ストリップライン電極41aは内層アース電極51aと51cとで挟まれ、ストリップライン電極41bは内層アース電極51cと51bとで挟まれ、ストリップライン電極42aは内層アース電極52aと52cとで挟まれ、ストリップライン電極42bは内層アース電極52cと52bとで挟まれることになるので、これらの間の静電容量が形成され、積層型誘電体フィルタの通過帯域周波数を低くしたり、一層の小型化が可能となる。

【0025】一般に、積層型誘電体フィルタを容量性とする場合には、通過帯域の周波数を低くすると通過帯域巾が狭くなる傾向があるが、本発明によれば結合電極の容量を大きくすることによって通過帯域巾を広くすることができるので、通過帯域巾を狭くすることなく、通過

帯域の周波数を低くすることができる。また、静電容量を減少させることは容易であるので、広い周波数範囲に亘って通過帯域の周波数を調整することができる。

【0026】本発明は上述した実施例にのみ限定されるものではなく、幾多の変更や変形が可能である。例えば、上述した実施例では、各々が2つの共振素子を有する対称型ストリップライン共振器を2組配置したものと、各々が3つの共振素子を有する対称型ストリップライン共振器を3組配置したものとを示したが、共振素子の個数は2個または3個に限られるものではなく、4個以上の共振素子を有するものとすることができる。また、対称型ストリップライン共振器の組数も2組または3組に限られるものではなく、4組以上とすることもできる。さらに、入力電極や出力電極の形状や配置位置、結合電極の形状や配置位置も種々のものが考えられ、容量入力方式やステップ入力方式を採用することもできる。また、図7に示す実施例においては、全ての共振素子を内層アース電極で挟むように構成したが、一部の共振素子を内層アース電極で挟むようにすることもできる。

【0027】

【発明の効果】上述したように、本発明による積層型誘電体フィルタにおいては、2つ以上の共振素子を誘電体層を挟んで対向配置した対称型ストリップライン共振器を2組以上配置し、これら対称型ストリップライン共振器間を結合する結合電極を、対称型ストリップライン共振器を構成する共振素子で挟むように構成したので、共振素子と結合電極との間の静電容量を増大させることができる。これによって、積層型誘電体フィルタのサイズを大きくすることなく、共振器間が容量性結合の場合にはフィルタの通過帯域巾を広くすることができ、誘導性接合の場合には通過帯域を狭くすることができる。一方、共振素子と結合電極との間の静電容量を減少させることは容易に行なうことができるので、通過帯域巾の調整範囲を広くすることができる。このようにして、多様な要求に応える積層型誘電体フィルタを提供することができる。

【0028】また、図7に示した実施例のように対称型ストリップライン共振器の共振素子を内層アース電極で挟むようにして通過帯域周波数を低くした場合、一般に通過帯域巾が狭くなるが、本発明では共振素子と結合電極との間の静電容量を増大させることによって共振器間の結合が容量性の場合には通過帯域巾を広くすることができるので、通過帯域巾を狭くすることなく通過帯域周波数を低くすることができる。

【図面の簡単な説明】

【図1】従来の積層型誘電体フィルタを示す図である。

【図2】本発明による積層型誘電体フィルタの第1の実施例を示す図である。

【図3】本発明による積層型誘電体フィルタの第2の実

施例を示す図である。

【図4】本発明による積層型誘電体フィルタの第3の実施例を示す図である。

【図5】本発明の積層型誘電体フィルタの周波数特性を従来と対比して示すグラフである。

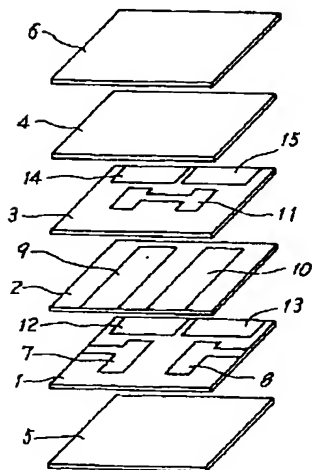
【図6】本発明による積層型誘電体フィルタの第4の実施例を示す図である。

【図7】本発明による積層型誘電体フィルタの第5の実施例を示す図である。

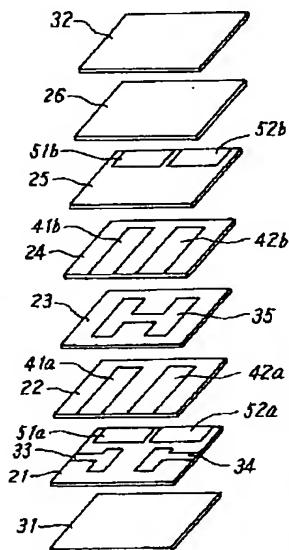
【符号の説明】

21～28 誘電体層、 31, 32 アース電極、
33 入力電極、 34 出力電極、 35, 36 結合
電極、 41～43 共振素子、 51～53 内層ア
ース電極

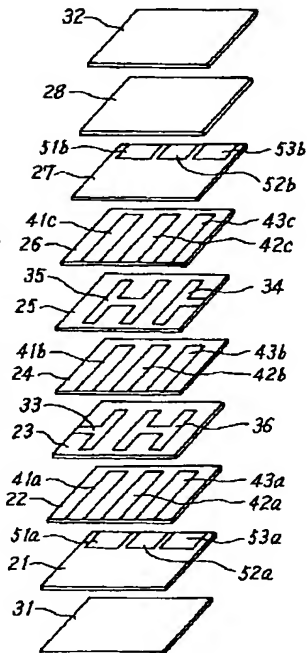
【図1】



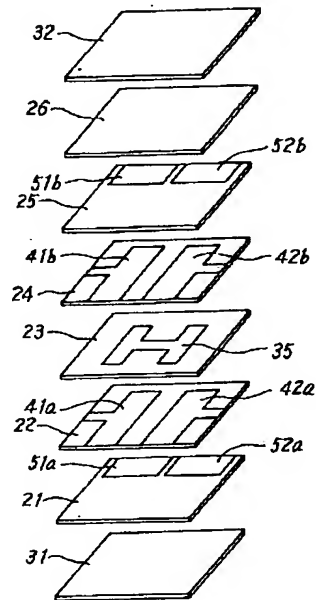
【図2】



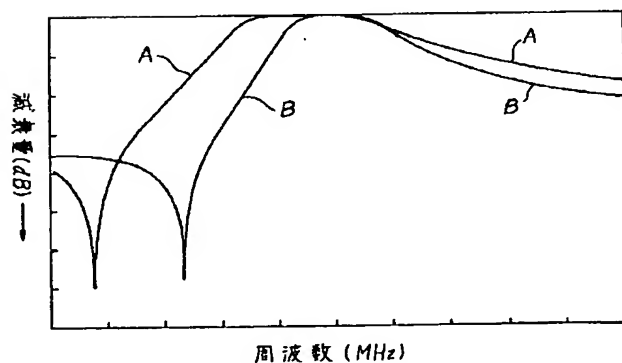
【図3】



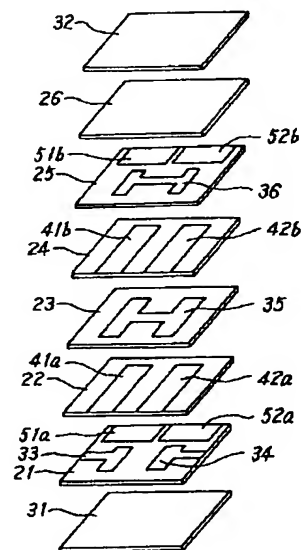
【図4】



【図5】



【図6】



【図 7】

